

Title of the Prior Art

Japanese Published Patent Application No. Hei.5-204831

Date of Publication: August 13, 1993

Concise Statement of Relevancy

There is provided a microcomputer system that can process DMA transfer at high speed. This microcomputer system is constructed so as to perform direct memory access transfer between a microprocessor and a peripheral device connected by a bus, and comprises a bus use detecting means for detecting whether or not an instruction fetched by the microprocessor uses the bus; a signal detecting means for detecting whether or not the bus use signal is outputted; a control means for starting a direct memory access transfer in the period that the bus use signal is not outputted, and interrupting a direct memory access transfer when the bus use signal is outputted during the direct memory access transfer; and a storage means for storing information concerning the state of the direct memory access transfer at the point of time in a case where the bus use signal is outputted during the direct memory access transfer. The direct memory access transfer is started only during the period that the microprocessor is not using the bus, the direct memory access transfer is interrupted in a case where the microprocessor starts using the bus during this direct memory access transfer, and further, when processing of the microprocessor is completed to release the bus during an interruption of the direct memory access transfer, the

THIS PAGE BLANK (USPTO)

direct memory access transfer is resumed in accordance with the storage contents of the storage means.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-204831

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁵

G 0 6 F 13/28
13/38

識別記号

3 1 0 P 9072-5B
3 3 0 C 9072-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全11頁)

(21)出願番号 特願平4-13593

(22)出願日 平成4年(1992)1月29日

(71)出願人 000006013

三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 原田 尚

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

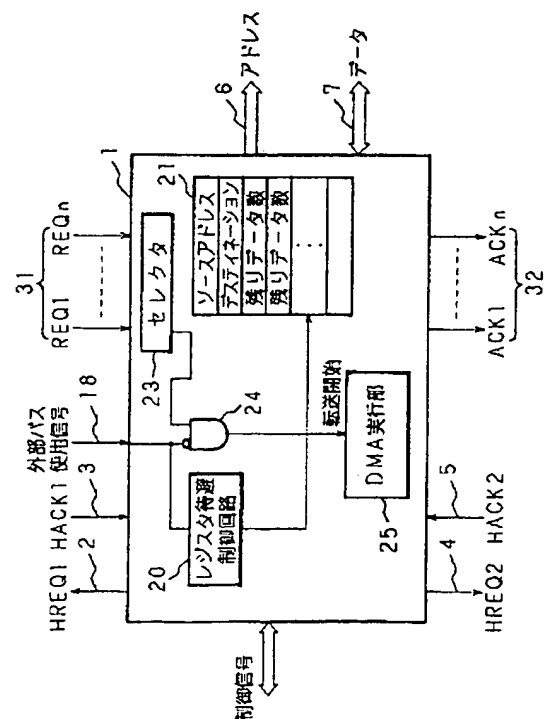
(74)代理人 弁理士 高田 守

(54)【発明の名称】 マイクロプロセッサ及びそれを使用したダイレクトメモリアクセス機能を有するマイクロコンピュータシステム

(57)【要約】

【目的】 バスを使用するか否かを周辺装置に対して通知する機能を有するマイクロプロセッサ及びそれを備えることにより、DMAデータ転送を高速処理可能なDMA機能を有するマイクロコンピュータシステムの提供を目的とする。

【構成】 マイクロプロセッサ10がフェッチする命令がバス8を使用するか否かを検出する外部バス使用信号発生回路19と、バス使用信号18が出力されているか否かを検出するレジスタ退避制御回路20と、バス使用信号18が出力されていない期間にダイレクトメモリアクセス転送を開始し、ダイレクトメモリアクセス転送中にバス使用信号が出力された場合にダイレクトメモリアクセス転送を中断するDMA実行部25と、ダイレクトメモリアクセス転送中にバス使用信号18が出力された場合にその時点のダイレクトメモリアクセス転送の状態に関する情報を格納する退避メモリ21とを備えている。



【特許請求の範囲】

【請求項1】 バスにより周辺装置と接続されており、命令をフェッチし、解読し、解読結果に応じた処理を実行するマイクロプロセッサにおいて、フェッチした命令が前記バスを使用するか否かを検出する手段と、
該手段により前記命令が前記バスを使用することが検出された場合にバス使用信号を前記周辺装置に出力する手段とを有するバス使用検出手段を備えたことを特徴とするマイクロプロセッサ。

【請求項2】 バスにより周辺装置と接続されており、命令をフェッチし、解読し、解読結果に応じた処理を実行するマイクロプロセッサと、前記周辺装置相互間でダイレクトメモリアクセス転送を行うダイレクトメモリアクセスコントローラを有するマイクロコンピュータシステムにおいて、前記マイクロプロセッサがフェッチした命令が前記バスを使用するか否かを検出し、前記バスを使用する場合にはバス使用信号を出力するバス使用検出手段と、前記バス使用信号が出力されているか否かを検出する信号検出手段と、

該信号検出手段が前記バス使用信号を検出していない期間にダイレクトメモリアクセス転送を開始し、ダイレクトメモリアクセス転送の実行中に前記信号検出手段が前記バス使用信号を検出した場合にダイレクトメモリアクセス転送を中断する制御手段と、

ダイレクトメモリアクセス転送の実行中に前記信号検出手段が前記バス使用信号を検出した場合にその時点のダイレクトメモリアクセス転送の状態に関する情報を格納する記憶手段とを備え、

前記制御手段はダイレクトメモリアクセス転送の中断中に前記信号検出手段が前記バス使用信号を検出しなくなった場合に前記記憶手段の記憶内容に従ってダイレクトメモリアクセス転送を再開すべくしてあることを特徴とするダイレクトメモリアクセス機能を有するマイクロコンピュータシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフェッチした命令がバスを使用するか否かを周辺装置へ通知し得るマイクロプロセッサと、システム内において、マイクロプロセッサとバスで接続されているたとえばメモリ、I/Oデバイス等の周辺装置相互間でデータ転送を行うためのダイレクトメモリアクセス機能、所謂DMA機能を有するマイクロコンピュータシステムに関し、特に上述のマイクロプロセッサを使用することによりデータ転送効率をより向上したマイクロコンピュータシステムに関する。

【0002】

【従来の技術】 図1は従来のダイレクトメモリアクセスコントローラ（以下、DMACという）の入出力信号を示す

模式図であり、また図2はそのDMAC1を組込んだマイクロコンピュータシステムの構成例を示すブロック図である。

【0003】 DMAC1には、第1のバス権要求用出力端子（以下、第1HREQという）2、第1のバスのバス権を獲得したことを通知する入力端子（以下、第1HACKという）3、第2のバス権要求用出力端子（以下、第2HREQという）4及び第2のバスのバス権を獲得したことを通知する入力端子（以下、第2HACKという）5が備えられている。また、DMAC1からアドレスを出力するためのアドレス端子6及びデータを入出力するためのデータ端子7も備えられている。

【0004】 また、参照符号31はI/OデバイスからのDMAデータ転送要求を受付けるためのn個の入力端子（以下、REQnという）である。参照符号32はI/Oデバイスに対してDMAデータ転送を実行することを通知するn個の出力端子（以下、ACKnという）である。なお、REQn31及びACKn32はそれぞれこのDMAC1がサポートするチャンネル数（n本）と等しい数の端子（REQ1、REQ2…REQn及びACK1、ACK2…ACKn）にて構成されている。

【0005】 このような信号端子2、3、4、5、31、32及びアドレス端子6、データ端子7を有するDMAC1を2系統のバスを有するマイクロコンピュータシステムに組込んだ構成が図2のブロック図に示されている。

【0006】 図2において、参照符号8は第1のシステムバスであり、同9は第2のシステムバスである。なお、この従来例ではI/Oデバイス用に2チャンネル（n=2）が割付けられている。従って、REQn31及びACKn32はそれぞれREQ1 31a、REQ2 31b及びACK1 32a及びACK2 32bの2系統がDMAC1に備えられている。

【0007】 第1のシステムバス8には、第1のマイクロプロセッサ（以下、第1MPUという）10、第1メモリ11、第1インタフェースユニット（以下、第1I/Oという）12がそれぞれ接続されている。

【0008】 また、第2のシステムバス9には、第2のマイクロプロセッサ（以下、第2MPUという）13、第2メモリ14、第2インタフェースユニット（以下、第2I/Oという）15がそれぞれ接続されている。

【0009】 DMAC1のアドレス端子6は第1バッファ回路16に、データ端子7は第2バッファ回路17にそれぞれ接続されている。第1バッファ回路16はアドレス端子6を第1のシステムバス8または第2のシステムバス9のいずれかに選択的に接続する切換え手段であり、また第2バッファ回路17はデータ端子7を第1のシステムバス8または第2のシステムバス9のいずれかに選択的に接続する切換え手段である。

【0010】 また、DMAC1の第1HREQ2及び第1HACK3は第1MPU10に、第2HREQ4及び第2HACK5は第2MPU13にそれぞれ接続されている。更に、REQ1 31a、ACK1 32aが第1I/O12に、REQ2 31b、ACK2 32bが第2I/O15に

それぞれ接続されている。

【0011】このような従来のDMAC1を組込んだマイクロコンピュータシステムの動作は以下の如くである。一例として、第1のシステムバス8に接続されている第1 I/O12をソースとし、第1のシステムバス8に接続されている第1メモリ11をデスティネーションとしてシングルバス転送によりDMAデータ転送する場合について説明する。なおこの場合、第1バッファ回路16はアドレス端子6を第1のシステムバス8に、第2バッファ回路17はデータ端子7を第1のシステムバス8にそれぞれ接続するように切り換えられている。

【0012】いま、第1 I/O 12から第1メモリ11へのデータ転送要求が発生した場合、第1 I/O 12はREQ1 31aをDMAC1へ出力する。これにより、DMAC1は第1のシステムバス8のバス権を開放させるために第1MPU 10に対して第1HREQ2をアサートする。これに対して、第1MPU 10はその時点で実行中のバスサイクルが完了し次第、DMAC1に対して第1HACK3をアサートする。DMAC1は、第1HACK3がアサートされたことにより第1のシステムバス8がホールド状態（開放状態）になったことを認識する。これによりDMAC1は第1 I/O 12へACK1 32aを出力してデータ転送を開始する。

【0013】まずDMAC1は、その時点以後の最初のバスサイクルにおいてソースである第1 I/O 12へデータ転送の先頭アドレスを出力する。これに応じて第1 I/O 12からはデータが出力されるので、DMAC1はこのデータを取込む。次のバスサイクルでDMAC1はデスティネーションである第1メモリ11へデータ転送の先頭アドレスを出力すると共に直前のバスサイクルにおいて第1 I/O 12から取込んだデータを出力する。これにより第1メモリ11のデータ転送の先頭アドレスにはデータが書込まれる。

【0014】以上のような処理を転送すべきデータ量に応じて複数回反復することにより、第1 I/O 12から第1メモリ11へのDMAデータ転送が完了する。

【0015】また、第1のシステムバス8に接続されている第1メモリ11、第1 I/O 12のいずれかと、第2のシステムバス9に接続されている第2メモリ14、第2 I/O 15のいずれかとの間でDMAデータ転送が行われる場合には第1バッファ回路16及び第2バッファ回路17はそれぞれ第1のシステムバス8または第2のシステムバス9のいずれかに接続されるように適宜に切り換えられる。

【0016】

【発明が解決しようとする課題】このように、ダイレクトメモリアクセス機能を有する従来のマイクロコンピュータシステムにおいてDMACによりDMAデータ転送を行う場合、バス権がホールド状態になるまではデータ転送を行うことが出来ない。具体的には、上述の例ではDMAC1から第1MPU 10に対して第1HREQ2をアサートし、これに回答して第1MPU 10からDMAC1に対する第1HACK3のアサートが完了するまでは、データ転送を開始すること

が出来ない。このため、第1MPU 10がその処理に長時間を要する命令を実行している場合には第1HACK3のアサート完了までソースである第1 I/O12は長時間に亘って待機状態になるので、DMAデータ転送を高速処理出来ないという問題がある。

【0017】このことは第2メモリ14と第2 I/O 15相互間のDMAデータ転送においても第2MPU 13による第2のシステムバス9の使用状態が問題になることは同様であり、更に第1のシステムバス8側と第2のシステムバス9側との間でのDMAデータ転送においても同様である。

【0018】本発明はこのような事情に鑑みてなされたものであり、フェッチした命令がバスを使用するか否かを周辺装置へ通知し得るマイクロプロセッサと、そのようなマイクロプロセッサを使用することにより、DMAデータ転送を高速処理可能なダイレクトメモリアクセス機能を有するマイクロコンピュータシステムの提供を目的とする。

【0019】

【課題を解決するための手段】本発明のマイクロプロセッサは、フェッチした命令がバスを使用するか否かを検出し、バスを使用することが検出された場合にバス使用信号を周辺装置に出力する手段と有するバス使用検出手段を備えている。また本発明のマイクロコンピュータシステムは、マイクロプロセッサとバスにより接続された周辺装置相互間でダイレクトメモリアクセス転送を行うように構成されており、マイクロプロセッサがフェッチした命令がバスを使用するか否かを検出するバス使用検出手段と、バス使用信号が出力されているか否かを検出する信号検出手段と、バス使用信号が出力されていない期間にダイレクトメモリアクセス転送を開始し、ダイレクトメモリアクセス転送中にバス使用信号が出力された場合にダイレクトメモリアクセス転送を中断する制御手段と、ダイレクトメモリアクセス転送中にバス使用信号が出力された場合にその時点のダイレクトメモリアクセス転送の状態に関する情報を格納する記憶手段とを備えている。

【0020】

【作用】本発明のマイクロプロセッサでは、フェッチした命令がバスを使用するか否かが周辺装置に通知され、周辺装置側ではマイクロプロセッサがバスを使用しない期間にバスを使用する処理、たとえばダイレクトメモリアクセス等を実行する。また本発明のマイクロコンピュータシステムでは、マイクロプロセッサがバスを使用していない期間中にのみダイレクトメモリアクセス転送が開始され、このダイレクトメモリアクセス転送中にマイクロプロセッサがバスの使用を開始する場合にはダイレクトメモリアクセス転送が中断され、更にそのダイレクトメモリアクセス転送の中断中にマイクロプロセッサの処理が終了してバスを解放すると記憶手段の記憶内容に従ってダイレクトメモリアクセス転送が再開される。

【0021】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。

【0022】図3は本発明のマイクロプロセッサの一実施例の構成を示すブロック図である。

【0023】図3において、参照符号10は本発明のマイクロプロセッサ（以下、MPUという）の一実施例の構成を示しており、データ入出力回路10a、命令フェッチ部10b、命令デコード部10c、命令実行部10d、オペランド計算部10e及びバスインタフェイス10fが備えられていること10

は従来の一般的なMPUと同様であるが、本発明では更にバス使用検出手段としての外部バス使用信号発生回路19が備えられている。

【0024】外部バス使用信号発生回路19は、命令デコード部10cにおいて命令がデコードされた時点で、その命令の実行に際して外部バスを使用するか否かを判断する。この判断の結果、外部バスが使用されると判断されれば、外部バス使用信号発生回路19は外部バス使用信号18を第1MPU10外へ出力する。

【0025】図4は本発明のマイクロコンピュータシステムを構成するダイレクトメモリアクセスコントローラ（以下、DMACという）の一実施例の構成を示すブロック図である。

【0026】DMAC1には、第1のバス権要求用出力端子（以下、第1HREQという）2、第1のバスのバス権を獲得したことを通知する入力端子（以下、第1HACKという）3、第2のバス権要求用出力端子（以下、第2HREQという）4及び第2のバスのバス権を獲得したことを通知する入力端子（以下、第2HACKという）5が備えられている。また、DMAC1からアドレスを出力するためのア30

ドレス端子6及びデータを入出力するためのデータ端子7も備えられている。

【0027】また、参照符号31はI/OデバイスからのDMAデータ転送要求を受付けるためのn個の入力端子（以下、REQnという）である。参照符号32はI/Oデバイスに対してデータ転送を実行することを通知するn個の出力端子（以下、ACKnという）である。なお、REQn31及びACKn32はそれぞれこのDMAC1がサポートするチャンネル数（n本）と等しい数の端子（REQ1、REQ2…REQn及びACK1、ACK2…ACKn）にて構成されている。

【0028】更に、本発明のマイクロコンピュータシステムのDMAC1には、信号検出手段としてのレジスタ退避制御回路20、記憶手段としての退避メモリ21、セレクト23、制御手段としての実行部25等が備えられている。

【0029】レジスタ退避制御回路20には前述のMPU10から出力される外部バス使用信号18が与えられている。このレジスタ退避制御回路20は外部バス使用信号18の状態を監視しており、DMAデータ転送中にMPU10が外部バスを使用することを外部バス使用信号18の検出により認識した場合には、その時点のデータ転送の状態を退避メ50

モリ21に退避させる。

【0030】退避メモリ21には、ソースアドレス、デスティネーションアドレス、残りデータ数等の情報を格納する領域が設定されており、前述の如く、レジスタ退避制御回路20の制御により転送処理途中の状態を示す情報を格納する。

【0031】なお、セレクト23、DMA実行部25は従来のDMAC1にも備えられている。セレクト23はREQn31の入力を選択して出力する。また、ANDゲート24はこのセレクト23の出力と前述のMPU10から出力される外部バス使用信号18とを入力とし、その出力はDMA実行部25に与えられている。DMA実行部25は、セレクト23によりいずれかのREQn31が選択されており、且つ外部バス使用信号18が出力されている場合にANDゲート24から与えられる信号に応じてデータ転送の実行を開始する。

【0032】以上のような本発明のマイクロプロセッサ及びそれを使用した本発明のマイクロコンピュータシステムの動作について以下に説明する。

【0033】図5は前述のMPU10から出力される外部バス使用信号18の他の信号との関係を示すタイミングチャートである。

【0034】MPU10は図示されていないプログラムカウンタのカウンタ値に従って命令1を読み込む。この動作は、プログラムカウンタからそのカウンタ値“PC”が図5(b)に示されているようにアドレスとして出力され、これに応じてメモリ（第1メモリ11または図示されていないメモリ）に格納されているプログラムからデータ入出力回路10aを介して命令フェッチ部10bにより図5(c)に示されているようにデータとして命令1が読み込まれる。この命令1は命令デコード部10cによりデコードされるが、この場合たとえばゼロページのメモリリード命令であると解釈されたとする。

【0035】このようなメモリリード命令を実行するにはメモリリードが必要となるが、次にプログラムカウンタのカウンタ値が“1”インクリメントされた値“PC+1”が図5(b)に示されているようにアドレスとして出力され、これに応じてメモリから図5(c)に示されているようにデータAD_Lが読み込まれる。このデータAD_Lはメモリリードのアクセス対象のアドレスとして図5(b)に示されているように出力される。そして、このアドレスAD_Lの出力に応じてメモリに格納されているデータ1が図5(c)に示されているように読み込まれる。更に、プログラムカウンタのカウンタ値が“PC+2”になると次の命令2、たとえば内部レジスタの乗算命令がプログラムから読み込まれて処理される。

【0036】上述のような命令1及び命令2が実行される場合、命令1をフェッチするためにプログラムカウンタからカウンタ値“PC”がアドレスとして出力される時点から第1MPU10によりバスが使用されており、更に命令1が命令デコード部10cにおいてデコードされた場合

にメモリアクセスのために外部バスを使用することが外部バス使用信号発生回路19により判断されるので、図5(d)に示されているように、外部バス使用信号発生回路19は外部バス使用信号18を出力する。具体的には、外部バス使用信号18は図5(d)に示されているように、少なくともプログラムカウンタのカウンタ値"PC"がアドレスとして出力された時点からバス使用を示す"1"になっている。そして、命令2のフェッチのためにもバスが使用されるが、命令2がデコードされた時点では、命令2は外部バスを使用しないと外部バス使用信号発生回路19が判断するので、外部バス使用信号18は図5(c)に示されているように、外部バス未使用を示す"0"になる。この外部バス使用信号18が"0"である期間がDMAC1によりDMAデータ転送が可能な期間である。

【0037】この後、命令2の実行が終了して次の命令3をフェッチするためにプログラムカウンタのカウンタ値"PC+4"がアドレスとして出力される時点では第1MPU10によりバスが使用されるので、図5(d)に示されているように、外部バス使用信号18は"1"になる。

【0038】図6は上述のMPU10及びDMAC1を組込んだマイクロコンピュータシステムの構成例を示すブロック図である。なお、MPU10はここでは第1MPU10として備えられており、他に前述の従来例のMPUと同様の構成を有する第2MPU13も備えられている。

【0039】図6において、参照符号8は第1のシステムバスであり、同9は第2のシステムバスである。第1のシステムバス8には、上述の第1MPU10、第1メモリ11、第1インタフェースユニット(以下、第1I/Oという)12がそれぞれ接続されている。また、第2のシステムバス9には、従来と同様に構成された第2MPU13、第2メモリ14、第2インタフェースユニット(以下、第2I/Oという)15がそれぞれ接続されている。

【0040】DMAC1のアドレス端子6は第1バッファ回路16に、データ端子7は第2バッファ回路17にそれぞれ接続されている。第1バッファ回路16はアドレス端子6を第1のシステムバス8または第2のシステムバス9のいずれかに選択的に接続する切換え手段であり、また第2バッファ回路17はデータ端子7を第1のシステムバス8または第2のシステムバス9のいずれかに選択的に接続する切換え手段であることは前述の従来と同様であるが、本発明の構成では第1バッファ回路16及び第2バッファ回路17に第1MPU10から外部バス使用信号18が与えられている。

【0041】また、DMAC1の第1HREQ2及び第1HACK3は第1MPU10に、第2HREQ4及び第2HACK5は第2MPU13にそれぞれ接続されている。更に、REQ131a、ACK132aが第1I/O12に、REQ231b、ACK232bが第2I/O15にそれぞれ接続されている。

【0042】このような本発明のマイクロコンピュータシステムの動作は以下の如くである。

【0043】一例として従来の場合と同様に、第1のシステムバス8に接続されている第1I/O12をソースとし、第1のシステムバス8に接続されている第1メモリ11をデスティネーションとしてシングルバス転送によりDMAデータ転送する場合について説明する。なおこの場合、第1バッファ回路16はアドレス端子6を第1のシステムバス8に、第2バッファ回路17はデータ端子7を第1のシステムバス8にそれぞれ接続するように切り換えられている。

【0044】いま、第1I/O12から第1メモリ11へのDMAデータ転送要求が発生した場合、第1I/O12はREQ131aをDMAC1へ出力する。従来例ではこれに応じてDMAC1は第1のシステムバス8のバス権を開放させるために第1MPU10に対して第1HREQ2をアサートするが、本発明のマイクロコンピュータシステムでは第1MPU10が第1のシステムバス8を使用していない期間、即ち外部バス使用信号18がネゲートされている("0"である)期間に従来同様の手順でDMA転送を開始する。

【0045】即ち、第1I/O12からDMAC1へ上述のようにREQ131aが出力されており、且つ外部バス使用信号18が"0"であればANDゲート24の出力が"1"となってDMA実行部25に与えられるので、DMAC1は第1I/O12へACK132aを出力してデータ転送を開始する。まずDMAC1は、その時点以後の最初のバスサイクルにおいてソースである第1I/O12へデータ転送の先頭アドレスを出力する。これに応じて第1I/O12からはデータが出力されるので、DMAC1はこのデータを取込む。次のバスサイクルでDMAC1はデスティネーションである第1メモリ11へデータ転送の先頭アドレスを出力すると共に直前のバスサイクルにおいて第1I/O12から取込んだデータを出力する。これにより第1メモリ11のデータ転送の先頭アドレスにはデータが書込まれる。

【0046】ところで、DMA転送中に第1MPU10が新たな命令をデコードして第1のシステムバス8を使用する場合には外部バス使用信号18が"0"から"1"に変化するので、ANDゲート24の出力が"1"から"0"に変化すると共に、レジスタ退避制御回路20により外部バス使用信号18の変化が検出される。これにより、DMA実行部25はデータ転送を中断すると共に、レジスタ退避制御回路20はその時点までに転送済みのソース側及びデスティネーション側のアドレスと、転送されずに残っているデータ量とを退避メモリ21に退避させる。

【0047】やがて、第1MPU10による第1のシステムバス8の使用が終了すると、外部バス使用信号18が"1"から"0"に変化するのでANDゲート24の出力が"0"から"1"に変化する。これにより、DMA実行部25は退避メモリ21の記憶内容を調べ、データ転送が中断された状態であれば退避メモリ21の記憶内容に従ってDMA転送を再開する。

【0048】なお、上述のようにDMA転送が一旦中断し

た場合にはデータのコヒーレンスを維持するために、第1 MPU 10は DMA転送が中断している第1メモリ11の領域に対するアクセスを禁止する。

【0049】図7は本発明のダイレクトメモリアク機能を有するマイクロコンピュータシステムの他の実施例に備えられるDMAC1の構成を示すブロック図である。

【0050】この実施例では、DMAC1には上述の構成に加えて転送監視制御部22が備えられている。この転送監視制御部22は、DMA実行部25によりDMAデータ転送が実行される際に転送されるデータ量を監視している。そして、DMAデータ転送中に外部バス使用信号18が”0”から”1”に変化した場合に、その時点でまだ転送されずに残っているデータ量が所定量以下であれば第1 MPU 10に対して待機命令を与えた上でそのままDMAデータ転送を継続する。

【0051】このような転送監視制御部22を備えることにより、あと少しでDMAデータ転送が完了するという状況でデータ転送が中断するという非効率的な事態が回避出来る。

【0052】

【発明の効果】以上に詳述した如く本発明によれば、周辺装置に対してバスを使用するか否かを通知する機能を備えたマイクロプロセッサをマイクロコンピュータシステムに使用することにより、DMAデータ転送を実行する際にバス権を獲得するための信号の送受が不要になるので処理が高速化され、またMPUがバスを使用していない期間を有効に活用してDMAデータ転送が行える。

【図面の簡単な説明】

【図1】従来のダイレクトメモリアクセスコントローラの入出力信号を示す模式図である。

【図2】従来のダイレクトメモリアクセスコントローラを組込んだマイクロコンピュータシステムの構成例を示

すブロック図である。

【図3】本発明のマイクロプロセッサの一実施例の構成を示すブロック図である。

【図4】本発明のマイクロコンピュータシステムを構成するダイレクトメモリアクセスコントローラの一実施例の構成を示すブロック図である。

【図5】マイクロプロセッサから出力される外部バス使用信号の他の信号との関係を示すタイミングチャートである。

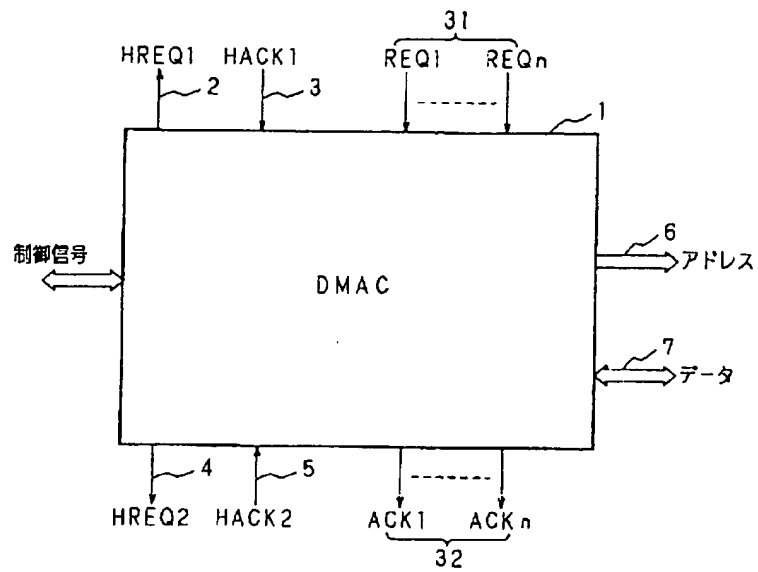
【図6】本発明のマイクロコンピュータシステムの構成例を示すブロック図である。

【図7】本発明のダイレクトメモリアク機能を有するマイクロコンピュータシステムの他の実施例に備えられるダイレクトメモリアクセスコントローラの構成を示すブロック図である。

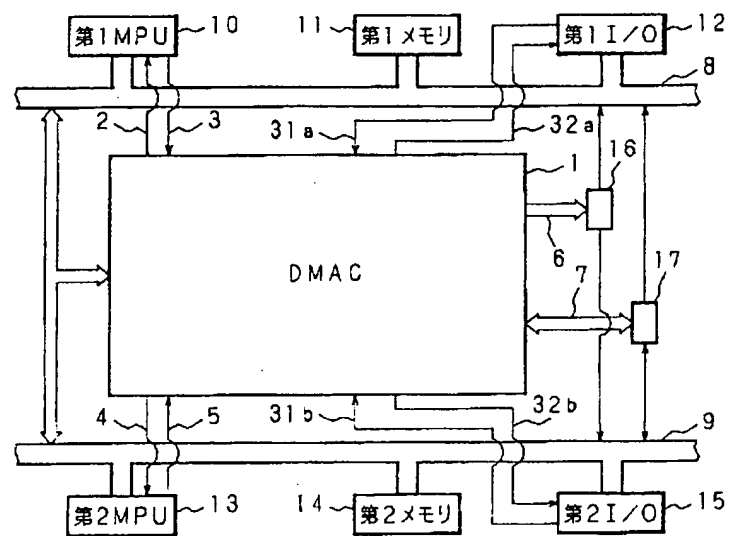
【符号の説明】

- | | |
|----|---------------------------|
| 1 | DMAC (ダイレクトメモリアクセスコントローラ) |
| 2 | 第1 HREQ |
| 3 | 第1 HACK |
| 4 | 第2 HREQ |
| 5 | 第2 HACK |
| 10 | 第1 MPU (第1 マイクロプロセッサ) |
| 11 | 第1 メモリ |
| 12 | 第1 I/O |
| 13 | 第2 MPU (第2 マイクロプロセッサ) |
| 14 | 第2 メモリ |
| 15 | 第2 I/O |
| 18 | 外部バス使用信号 |
| 19 | 外部バス使用信号発生回路 |
| 20 | レジスタ退避制御回路 |
| 21 | 退避メモリ |
| 25 | DMA実行部 |

【図1】

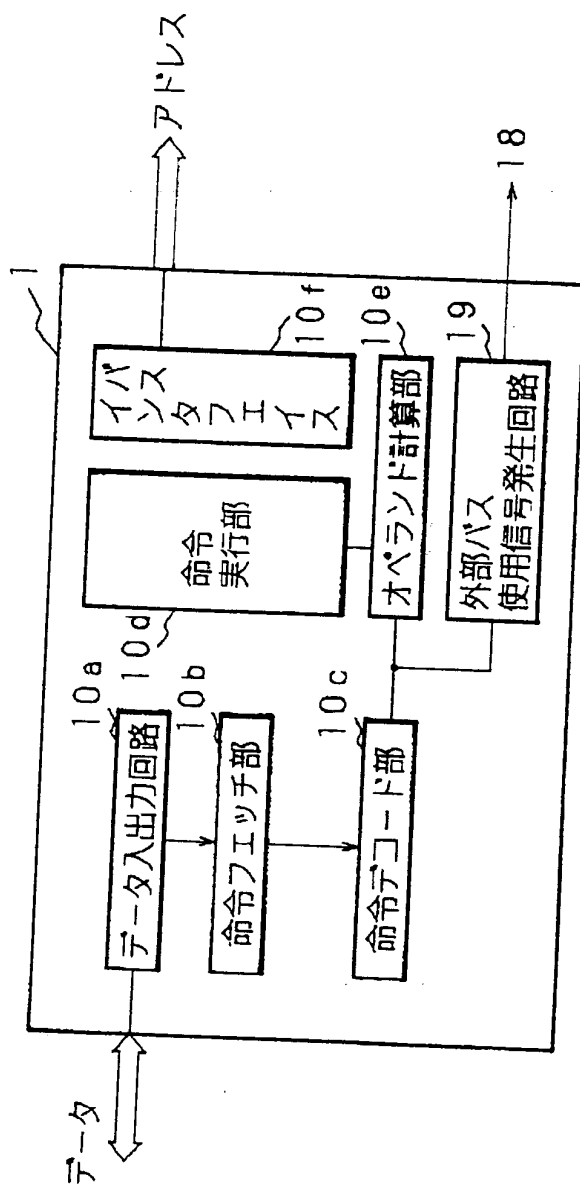


【図2】

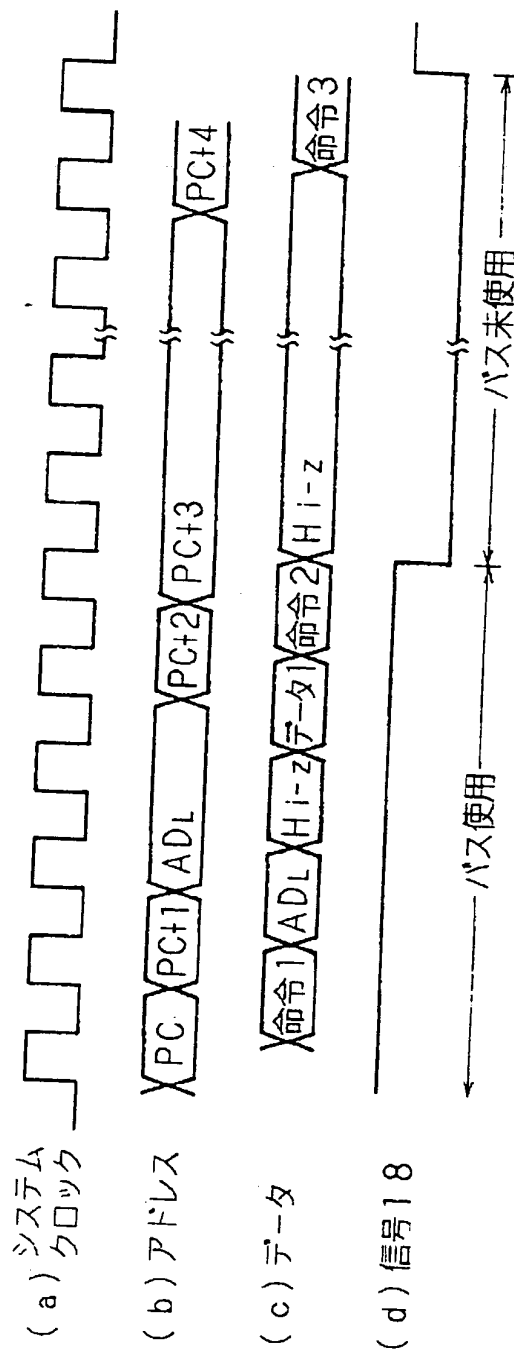


(8)

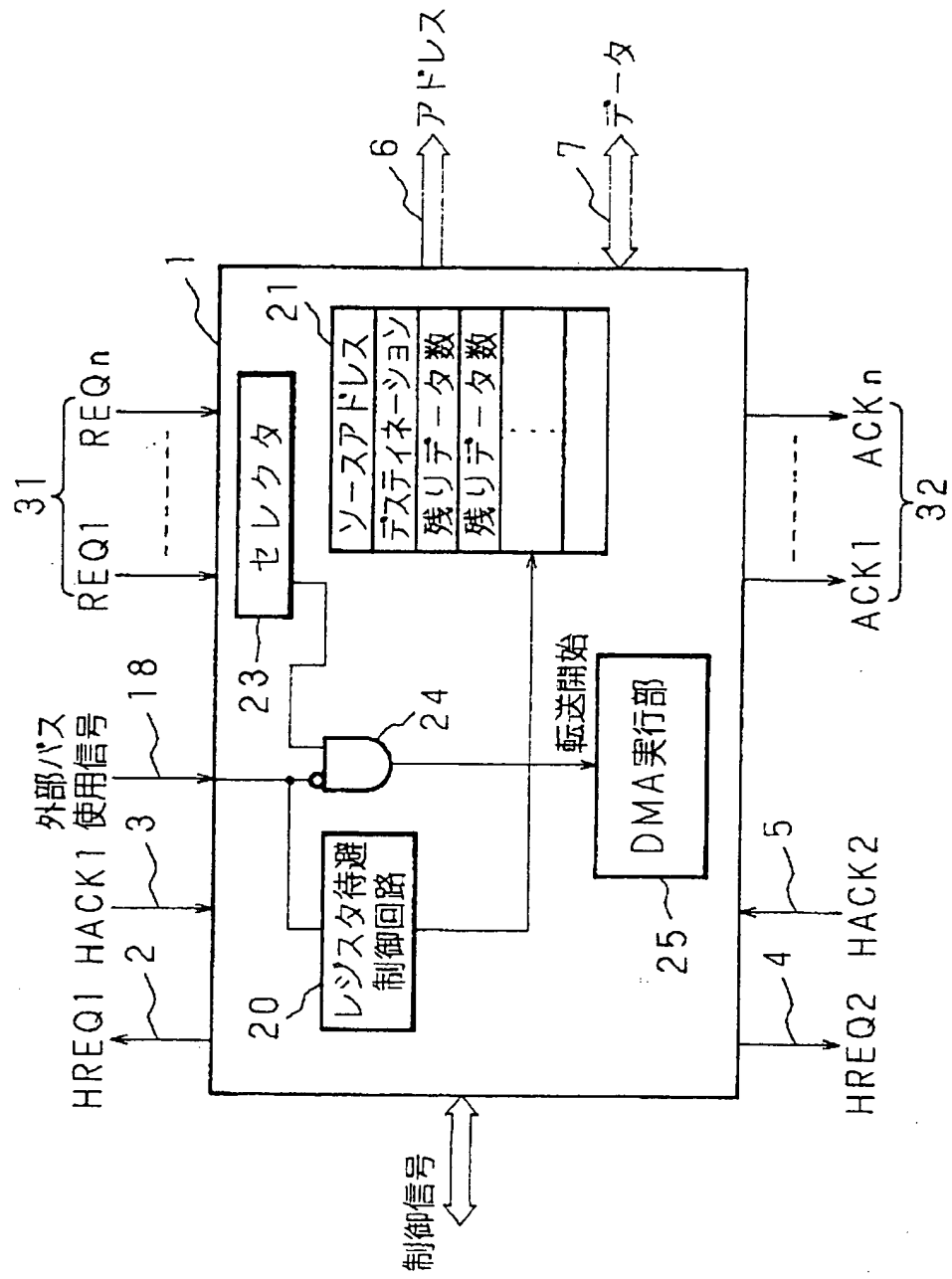
【図3】



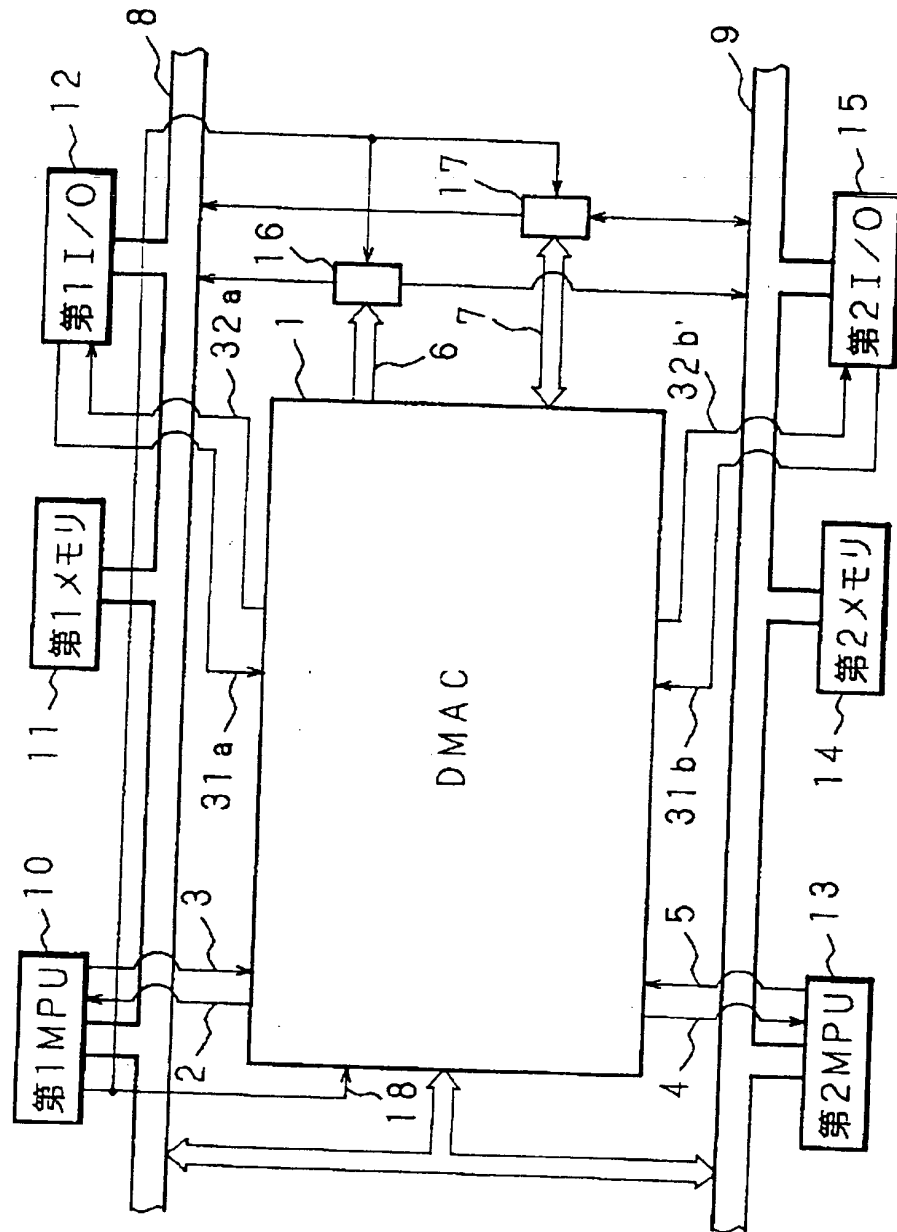
【図5】



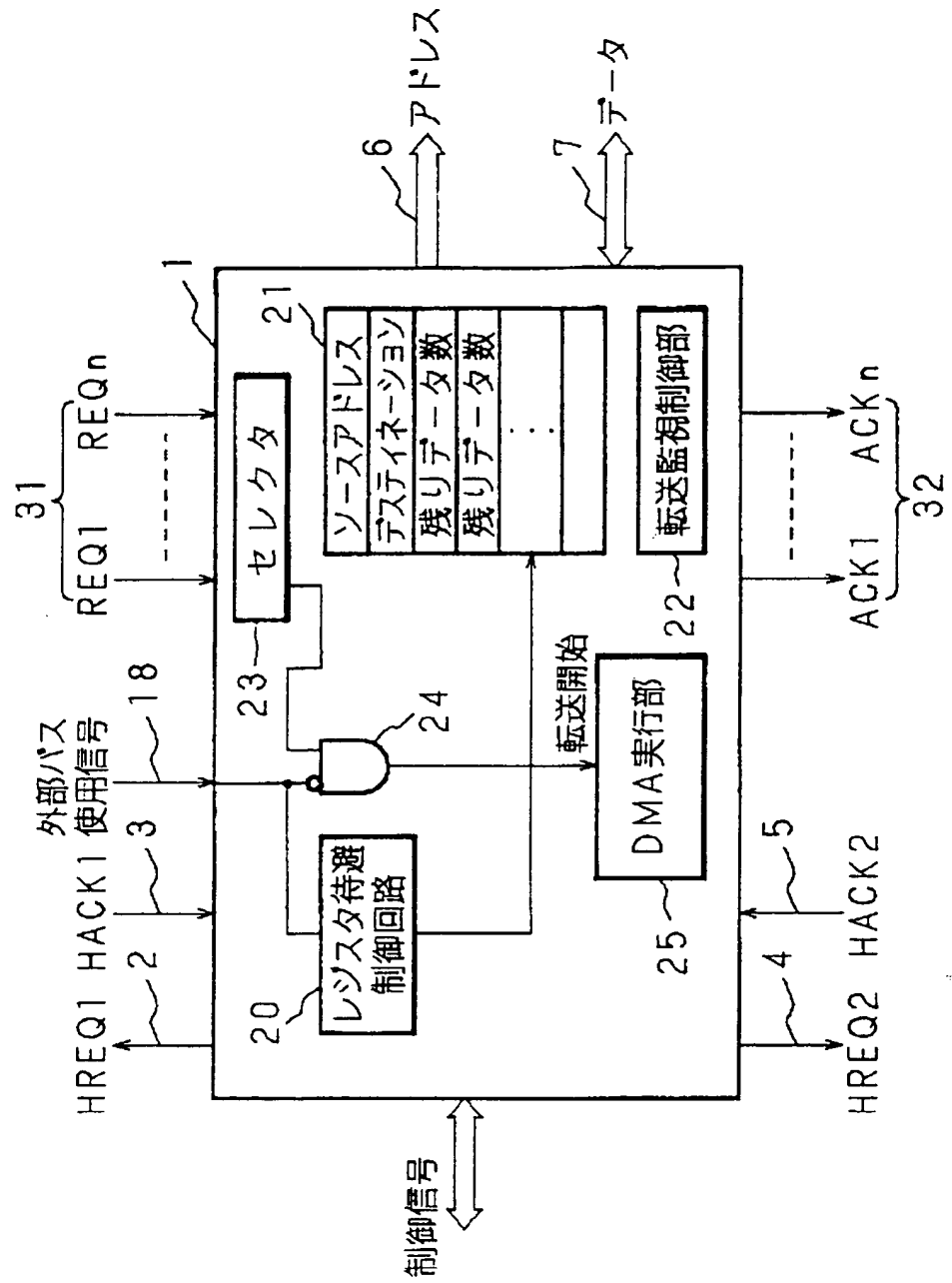
【図4】



【図6】



【図7】



THIS PAGE BLANK (USPTO)